

# 操作ボード仕様書

(C 判) 阿部 ジャンパーJP0 による操作 BOX-基板スイッチ機能切り替えについて追記 2007/11/30

(D 判) 青木 機能概要及び機能ブロック図及びレジスタフォーマットの間違いを修正 2012/12/15

適用

本仕様書は、PK06-4004 操作ボードについての仕様をまとめる。

## 1. 機能ブロック図および機能概要

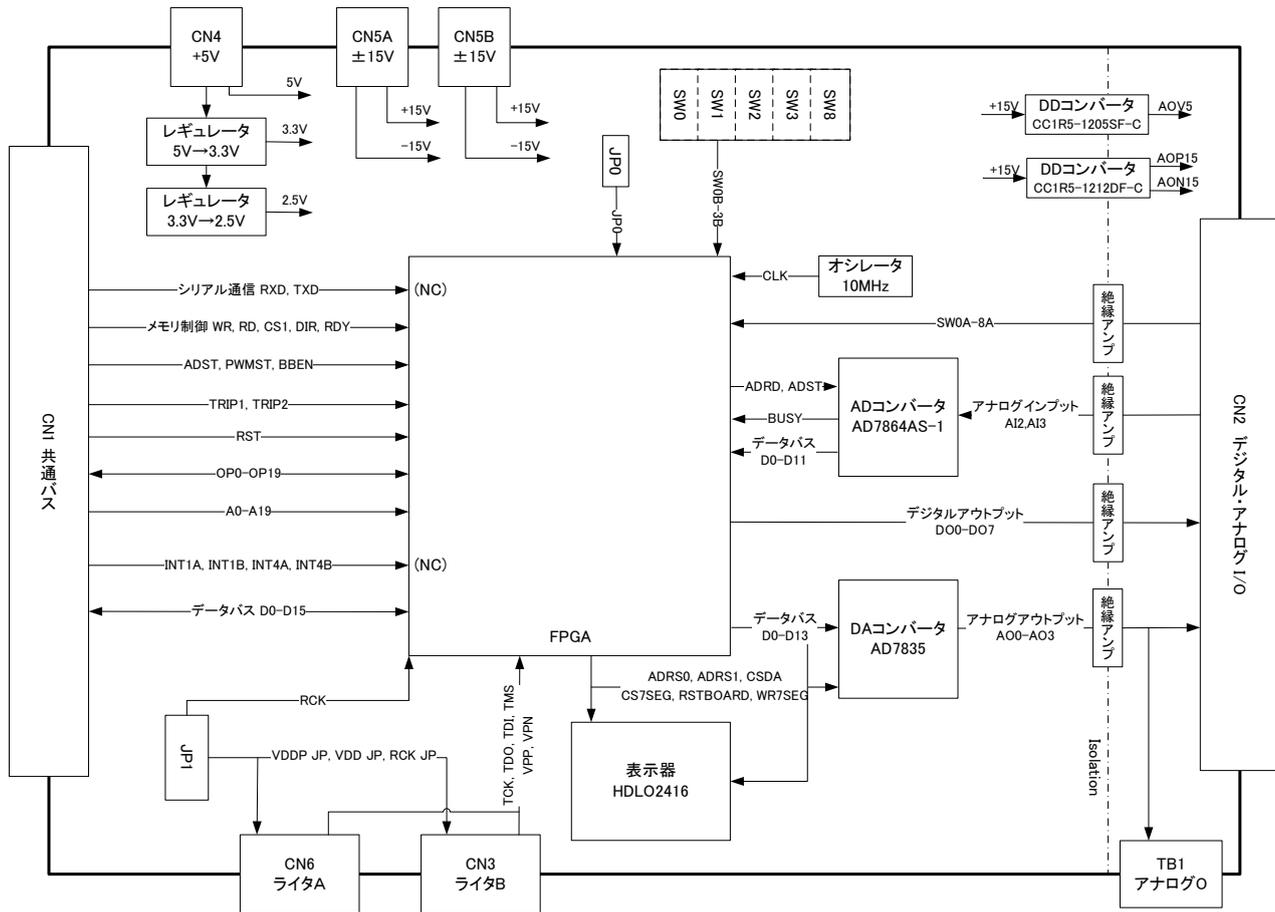


図 1. 機能ブロック図

Power Electronics Lab. Nagaoka University of Tech.	DATE	NAME	DWG. NO.	PK06-4004C	1/	
	DRAWN	1/7/2013				青木
	CHECK					
REV.	Memo:					

表 1 機能概要

機能	部品名	内容
基板スイッチ	SW0-3,8	(1) 基板上にトグルスイッチ 4 個, 押しボタンスイッチ 1 個実装 (2) 押しボタンスイッチ SW8 は PWM トリップ解除 (3) SW2 は非常停止信号 EMG 出力
操作 BOX 用 デジタル・アナログ インターフェース	CN2	(1) デジタル入力 9 ビット。 ※ 3 ビット目(DI2)は非常停止信号 EMG 出力。 ※ 9 ビット目(DI8)は PWM トリップ解除 (2) アナログ入力(±10V)2 本。変換値は符号付 12 ビット。 ※ 変換データは 4ch 連続リードすること。 外部アナログ入力変換結果は ch3,4。ch1,2 は基板からの 入力(ボリューム調整可) (3) デジタル出力 8 ビット。 (4) アナログ出力(±10V) 4 本。変換値は符号付き 14 ビット。
基板スイッチ or 操作 BOX 使用切り 替え設定	JP0	(1) 上記の基板スイッチ, 操作 BOX の SW2, DI2 による EMG 出力と SW8, DI8 による PWM トリップ解除は JP0 の設定によってどちら か一方が有効。 (2) 基板スイッチ SW2, SW8 を有効にする場合。JP0 オープン (3) 操作 BOX スイッチ DI2, DI8 を有効にする場合。JP0 ショート
アナログ出力端子	TB1	(1) 操作 BOX 用アナログ出力と同一。
7 セグ表示器	7SEG1	(1) 英数字 4 桁表示
電源	CN4, CN5	(1) +5V, ±15V ※必ず両電源を投入のこと。但し, +5V は共通バスからも供給可。

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO.

PK06-4004C 2/

REV.


Memo:

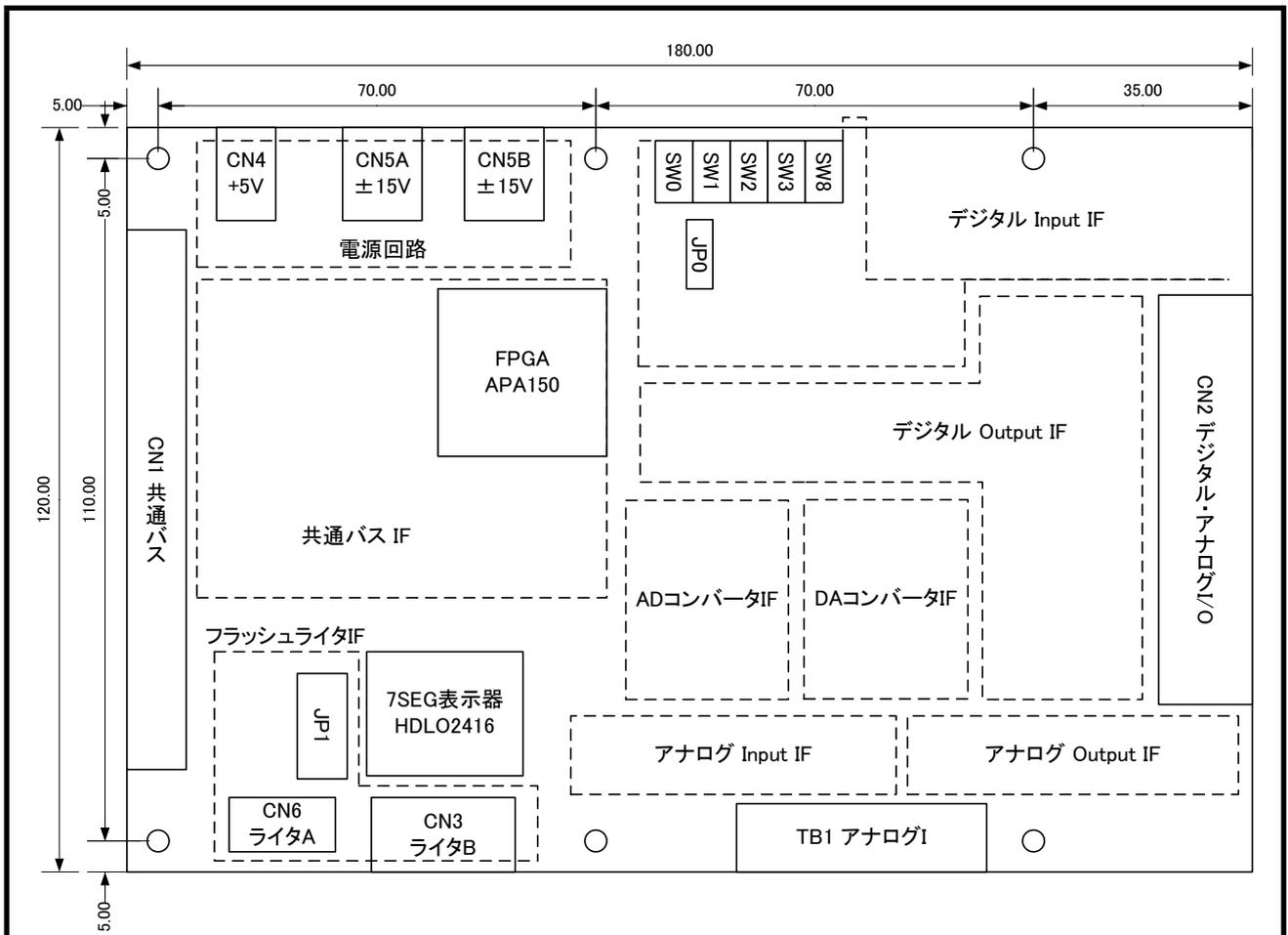


図 2. レイアウト図

<b>Power Electronics Lab.</b> Nagaoka University of Tech.	DATE	NAME	DWG. NO. <b>PK06-4004C</b> 3/
	DRAWN 1/7/2013	青木	
	CHECK		
REV.	Memo:		

## 2. FPGA ロジック内容

### 2.1 機能ブロック図

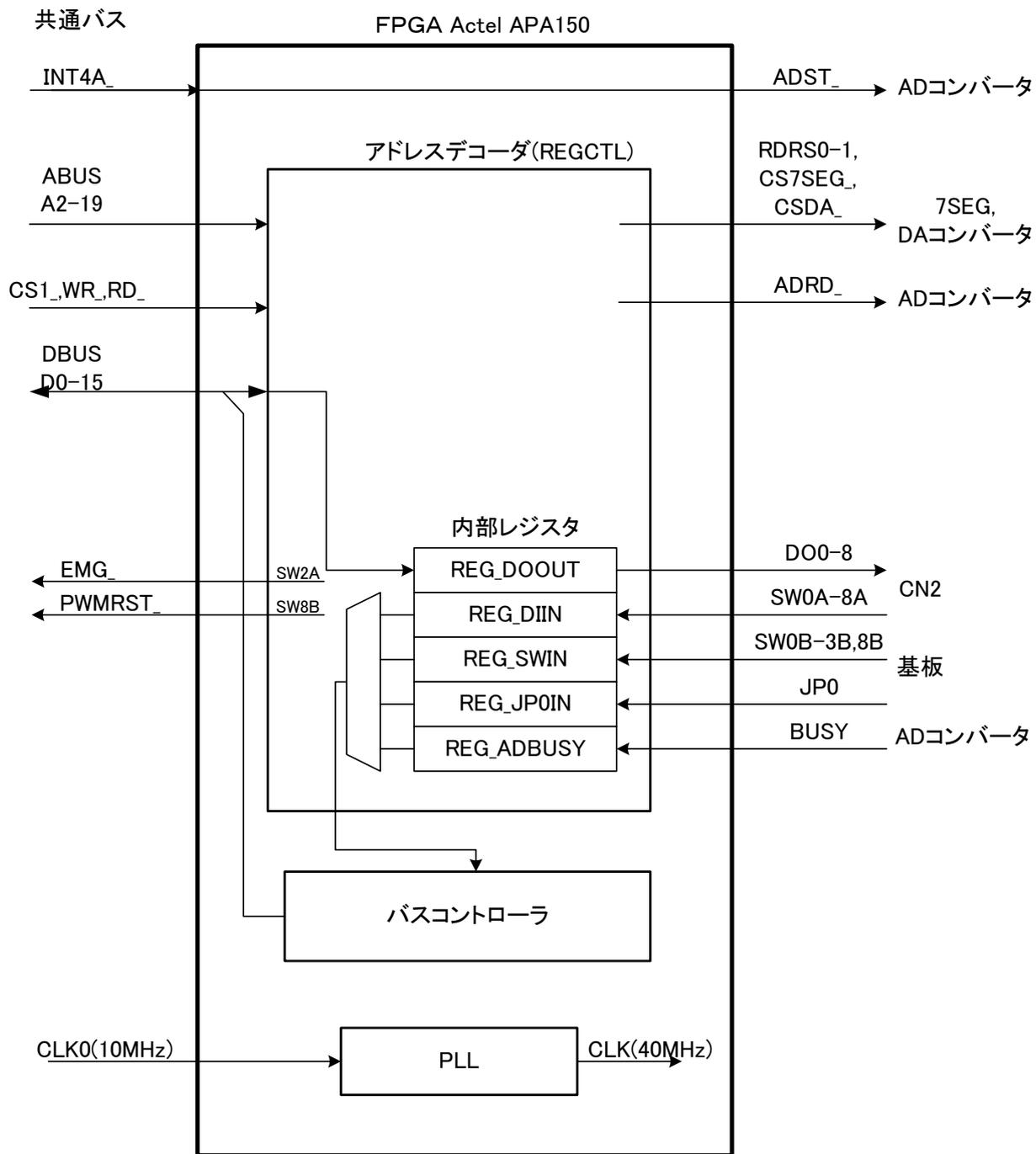


図 3 機能ブロック図

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO.

PK06-4004C 4/

REV.

Memo:

## 2.2 アドレスマップ

- (1) ABUS16-19 はベースアドレスとする。操作ボードのベースアドレスは 1 とする。
- (2) Read/Write は CPU 側が基準
- (3) アドレスは最下位を A0 としている。

アドレス	レジスタ名	R/W	機能	備考
0x10000	REG_DOOUT	W	デジタル出力	8ビット出力
0x10004	REG_DIIN	R	デジタル入力(SW0A-8A)	9ビット入力
0x11000	REG_SWIN	R	基板スイッチ入力(SW0B-3B,8B)	5ビット入力
0x11004	REG_JP0IN	R	ジャンパー設定入力(JP0)	1ビット入力
0x18000		W	7SEG 1桁	
0x18004		W	7SEG 2桁	
0x18008		W	7SEG 3桁	
0x1800C		W	7SEG 4桁	
0x18010		W	7SEG クリア	
0x14000		W	DA コンバータ Ch0	
0x14004		W	DA コンバータ Ch1	
0x14008		W	DA コンバータ Ch2	
0x1400C		W	DA コンバータ Ch3	
0x14010		W	DA コンバータクリア	
0x12000	REG_ADBUSY	R	AD コンバータ BUSY 信号	AD 変換処理中は 1
0x12008		R	AD 変換値リード信号	読み込みイネーブルで AD コンバータが AD データ出力

※ CPU に C6713 使用時には上位アドレス B00 を追加のこと(例:0xB0010000)

## 2.3 詳細仕様

### 2.3.1 アドレスデコーダ(モジュール名 REGCTL)

#### 1 機能

- (1) アドレスバス 20bit, ただし, A16-A19 はベースアドレス, A0,A1 は常にゼロ(64bit アクセス)
- (2) クロック 40MHz
- (3) 内部レジスタは REGCTL に持つ。
- (4) DA コンバータ用制御信号生成
- (5) 7SEG 用制御信号生成
- (6) AD コンバータ用制御信号生成

<b>Power Electronics Lab.</b> Nagaoka University of Tech.	DATE	NAME	DWG. NO.  PK06-4004C 5/
	DRAWN	1/7/2013 青木	
	CHECK		
REV.			Memo:

## 2 読み出し時

注意事項:CPU を基準とする

- (1) RDBUS の立下りより 3 クロック以内に, FPGA 内のレジスタの値を Dbus に出力する。よって, CPU 側の wait 時間は 100ns 以上(3 クロック+1 クロックマージン)に設定すること。
- (2) 3 クロック後データが確定していればいいので, 同期化は不要。

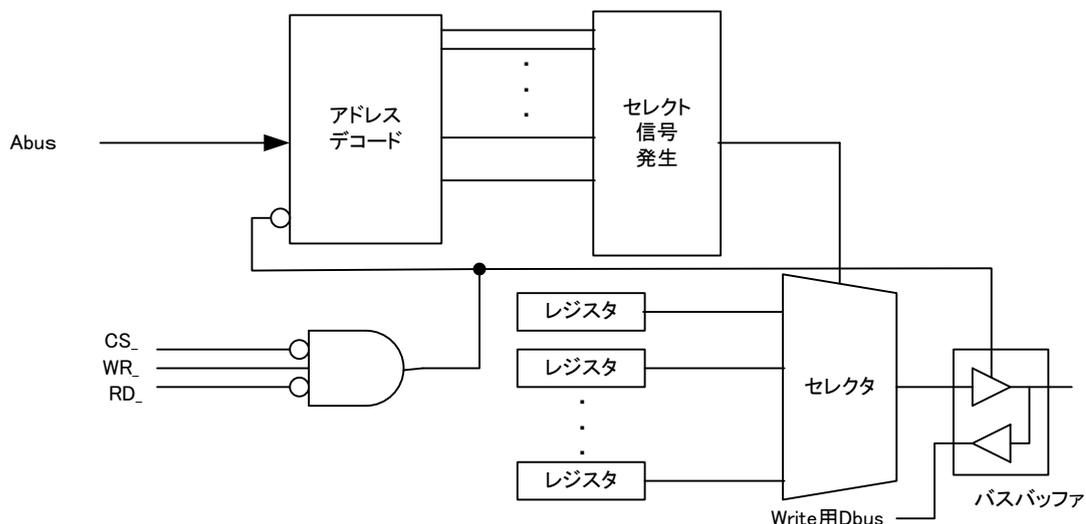


図 4 読み出し時アドレスデコーダブロック図

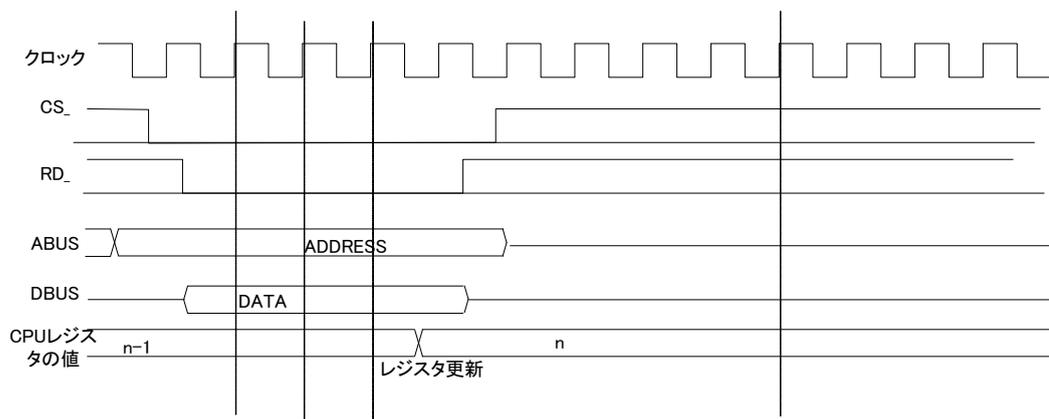


図 5 読み出し時アドレスデコードタイミング

<b>Power Electronics Lab.</b> Nagaoka University of Tech.	DATE	NAME	DWG. NO. <b>PK06-4004C</b> 6/	
	DRAWN	1/7/2013		青木
	CHECK			
REV.	Memo:			

### 3 書き込み時

注意事項:CPU を基準とする

- (1) WR\_の立下りより3クロックで DBUS の内容を FPGA 内レジスタに書き込む。  
したがって、CPU 側の Wait 時間は 100ns 以上(3クロック+1クロックマージン)にすること。
- (2) WR\_が立ち上がったとき、ダブルクロッキング部のすべての DFF をただちに1にプリセットする。クロックとは非同期。

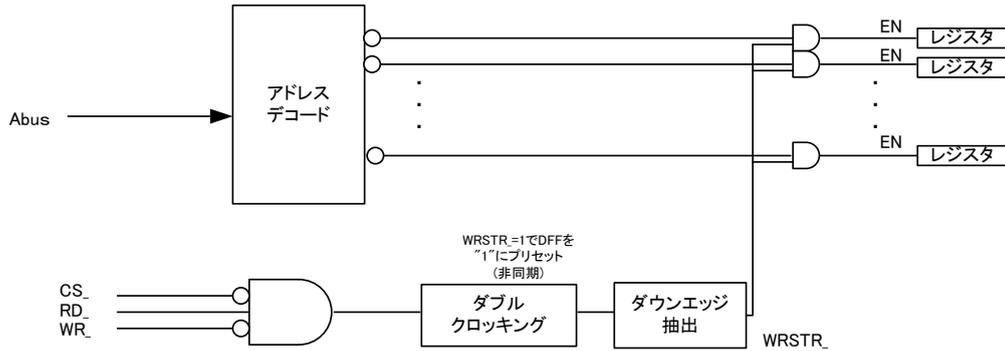


図6 書き込み時アドレスデコーダブロック図

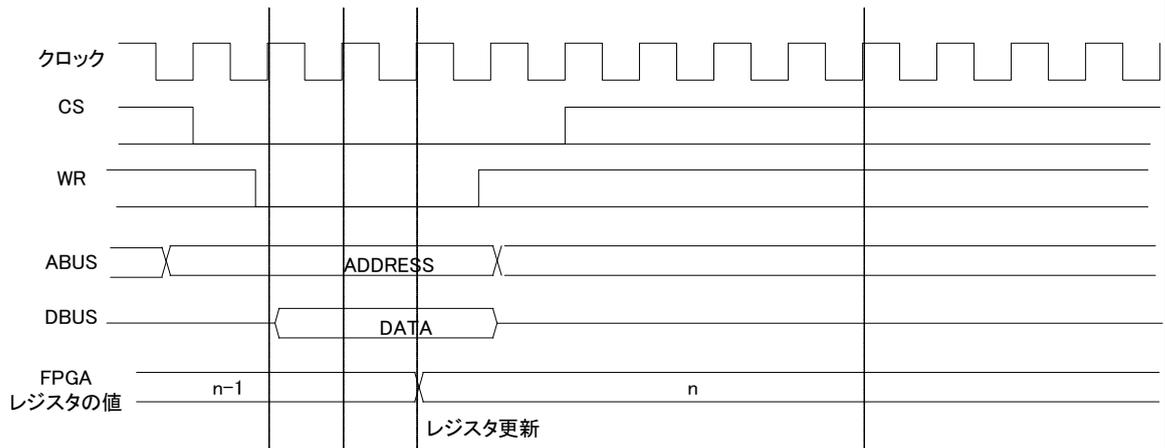


図7 書き込み時アドレスデコードタイミング

<b>Power Electronics Lab.</b> Nagaoka University of Tech.	DATE	NAME	DWG. NO. <b>PK06-4004C</b> 7/
	DRAWN 1/7/2013	青木	
	CHECK		
REV.	Memo:		

#### 4 レジスタフォーマット

<REG\_DOOUT>: デジタル出力

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	-	DO7	DO6	DO5	DO4	DO3	DO2	DO1	DO0
初期値	-	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0

<REG\_DIIN>: デジタル入力データ格納

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	SW8A	SW7A	SW6A	SW5A	SW4A	SW3A	SW2A	SW1A	SW0A
初期値	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0	0

<REG\_SWIN>: スイッチ入力

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	-	-	-	-	SW8B	SW3B	SW2B	SW1B	SW0B
初期値	-	-	-	-	-	-	-	-	-	-	-	0	0	0	0	0

<REG\_JP0IN>: ジャンパーJP0 設定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	JP0
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0

<REG\_ADBUSY>: AD コンバータ BUSY 信号

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BUSY
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO.

PK06-4004C

8/

REV.


Memo:

### 3 コネクタマップ

#### 3.1CN1 共通バスインターフェース

(1)共通バスインターフェースに用いるコネクタ CN1 は HARTING 09031962921(ライトアングル 96 ピン)

表 2 CN1 共通バスコネクタマップ

A 列	機能	B 列	機能	C 列	機能
1	D4	1	PWMRST_(NC)	1	D5
2	D3	2	RD_(NC)	2	D6
3	D2	3	TRIP2_(ACFAIL_)	3	D7
4	D1	4	+5V(NC)	4	D8
5	D0	5	GND	5	D9
6	INT1A_(INT4_)	6	+5V(NC)	6	D10
7	INT1B_(INT5_)	7	+5V(NC)	7	D11
8	INT4A_(INT6_)	8	GND(NC)	8	D12
9	GND	9	+5V(NC)	9	GND
10	INT4B_(SYSCLK)	10	+5V(NC)	10	TRIP1_(SYSFAIL_)
11	GND	11	EMG_(NC)	11	D13
12	RXD(MODE)	12	GND	12	RST_(RESTOUT_)
13	CS1_(CEXTCS_)	13	OP16 (BA3)	13	D14
14	WR_(R/W_)	14	OP17(BA2)	14	D15
15	GND	15	OP18(BA1)	15	OP0(D16)
16	RDY_(Res.)	16	OP19(BA0)	16	OP1(D17)
17	GND	17	A21	17	OP2(D18)
18	BBEN_(IOCS_)	18	A20	18	OP3(D19)
19	GND	19	A19	19	OP4(D20)
20	TXD(Res.)	20	GND	20	OP5(D21)
21	ADST_(Res.)	21	A18	21	OP6(D22)
22	DIR(Res.)	22	A9	22	OP7(D23)
23	A17	23	GND	23	OP8(D24)
24	A16	24	A8	24	OP9(D25)
25	A15	25	A7	25	OP10(D26)
26	A14	26	A6	26	OP11(D27)
27	A13	27	A5	27	OP12(D28)
28	A12	28	A4	28	OP13(D29)
29	A11	29	A3	29	OP14(D30)
30	A10	30	A2	30	OP15(D31)
31	+5V(NC)	31	GND(NC)	31	+5V(NC)
32	+5V	32	+5V	32	+5V

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO.

PK06-4004C 9/

REV.


Memo:

(2)各信号の内容を表3に示す。

表3 CN1 共通バス 各信号の内容

番号	記号	内容	備考
A9,A11,A15,A17,A19 B5,B8,B12,B20,B23,B31 C9	GND	デジタルグランド	
A31,A32 B4,B6,B7,B9,B10,B32 C31,C32	+5V	デジタル 5V	
C10,B3	TRIP1_,TRIP2_	トリップ信号	Lでトリップ
B11	EMG_	非常停止	Lで停止
B1	PWMRST_	PWMリセット信号 (トリップレジスタ解除)	Lでリセット
A12,A20	RXD,TXD	通信用	
A1-5	D0-D31	データバス 32bit	
C1-8,C11,C13-30 A23-30 B17-19,B21-22,B24-30	A2-A19	アドレスバス 18bit	
A22	DIR	双方向バスバッファ	Lで本FPGA→外部機器
A13	CS1_	チップセレクト信号	Lでアクティブ
B2	RD_	リード信号	Lでアクティブ
C12	RST_	リセット信号	Lでリセット
A14	WR_	ライト信号	Lでアクティブ
A16	RDY_	レディ信号	Lでアクティブ
A18	BBEN_	バスバッファイネーブル	Lでアクティブ
A6,A7 A8,A10 A21	INT1A_,INT1B_ INT4A,INT4B_ ADST_	割り込み信号	Lでアクティブ

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO. PK06-4004C 10/

REV.


Memo:

### 3. 2 AIO,DIO インターフェース

#### 3. 2. 1 CN2 操作 BOX 用インターフェース

(1)用いるコネクタは本田通信 MR50-MA

(2)コネクタマップは表 4 の通りである。

(3)各信号の意味は表 5 に示す。

表 4. CN2 操作 BOX 用インターフェースコネクタマップ

ピン番号	機能	ピン番号	機能	ピン番号	機能
1	SW0A	18	NC	34	AI2
2	SW1A	19	12V	35	AIGND
3	SW2A	20	DO0_	36	NC
4	SW3A	21	DO1_	37	NC
5	SW4A	22	DO2_	38	AO0
6	SW5A	23	DO3_	39	AO1
7	SW6A	24	DO4_	40	AO2
8	SW7A	25	DO5_	41	AO3
9	NC	26	DOCM	42	AOM
10	NC	27	DOCM	43	AOM
11	SW8A	28	DOCM	44	AOM
12	DICM	29	DO6_	45	AI3
13	NC	30	DO7_	46	AIGND
14	NC	31	12V	47	NC
15	DICM	32	12V	48	NC
16	DICM	33	12V	49	NC
17	DICM			50	NC

表 5 CN2 操作 BOX 用インターフェース 各信号の内容

Pin#	記号	I/O	内容	備考
19,31-34	12V	-	12V 電源	
1-8,11	SW0A-SW8A	I	操作 BOX スイッチ入力	SW2A は共通バスの EMG_
12,15,16,17	DICM	-	デジタル入力コモン	
20-25,29,30	DO0_-DO7_	O	デジタル出力	
26-28	DOCM	-	デジタル出力コモン	
38-41	AO0-AO3	O	アナログ出力	
42,43,44	AOM	-	アナログ出力グラウンド	
34,45	AI2,AI3	I	アナログ入力	
35,46	AIGND	-	アナログ入力グラウンド	

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO. PK06-4004C 11/

REV.	

Memo:

表 6 AD コンバータ割付表

AD コンバータ	チャンネル	信号名	内容
1	CH1	AI0	基板上の VR1 の値
	CH2	AI1	基板上の VR2 の値
	CH3	AI2	CN2 入力値
	CH4	AI3	CN2 入力値

### 3. 2. 2 TB1 アナログ出力用端子台

- (1) 用いる端子台は BP101S-SP
- (2) コネクタマップは表 7 に示す。
- (3) CN2#38-41 の AO0－AO3 と同一(基板上で接続されている)

表 7 TB1 BP101S-SP コネクタマップ

ピン番号	1	2	3	4	5
機能	AOGND	AO3	AO2	AO1	AO0

### 3. 3 CN3,CN6 FPGA フラッシュライターインターフェース

#### 3. 3. 1 CN3

- (1)用いるコネクタは FX2-20P-1.27DS
- (2)コネクタマップは表 8 の通りである。

表 8 CN3 FX2-20P-1.27DS コネクタマップ

ピン番号	機能	ピン番号	機能
A1	VDPP	B1	VPP
A2	VDPP	B2	VPN
A3	GND	B3	GND
A4	GND	B4	GND
A5	TCK	B5	TDO
A6	TDI	B6	TMS
A7	GND	B7	RCK
A8	GND	B8	TRSTB
A9	GND	B9	VDD
A10	GND	B10	VDD

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO.

PK06-4004C

12/

REV.

Memo:

### 3. 3. 2 CN6

(1)用いるコネクタは FTSH-113-01-L-D-K

(2)コネクタマップは表 9 の通りである。

表 9 CN6 FTSH-113-01-L-D-K コネクタマップ

ピン番号	機能	ピン番号	機能
25	NC	26	VDD
23	NC	24	VDDP
21	NC	22	TRSTB
19	GND	20	RCK
17	GND	18	TMS
15	NC	16	TDO
13	NC	14	TDI
11	GND	12	TCK
9	GND	10	GND
7	GND	8	VPN
5	NC	6	VPP
3	NC	4	VDDP
1	NC	2	VDDP

### 3. 3 CN4,CN5 電源入力

#### 3. 3. 1 CN4 5V 電源

(1)用いるコネクタは B2PS-VH

(2)コネクタマップは表 9 の通りである。

表 9 CN4 5V 電源 コネクタマップ

ピン番号	1	2
機能	P5	GND

#### 3. 3. 2 CN5A,B ±15V 電源

(1)用いるコネクタは B3PS-VH

(2)コネクタマップは表 10, 11 の通りである。

表 10 CN5A 15V 電源 コネクタマップ

ピン番号	1	2	3
機能	P15	AGND	N15

表 11 CN5B -15V 電源 コネクタマップ

ピン番号	1	2	3
機能	P15	AGND	N15

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO.

PK06-4004C

13/

REV.

Memo:

4. 付録

4.1 7SEG アスキーコード一覧

ASCII CODE				D0	0	1	0	1	0	1	0	1	0	1	0	1	0	1		
				D1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
				D2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
				D3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
D6	D5	D4	Hex	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	0	0	0	!	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	
0	0	1	1	O	P	Q	R	S	T	U	V	W	X	Y	Z	[	]	^	_	
0	1	0	2	!	"	#	\$	%	&	'	(	)	*	+	,	-	.	/	:	
0	1	1	3	0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?@	
1	0	0	4	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	
1	0	1	5	q	r	s	t	u	v	w	x	y	z	{		}	~	?	?	
1	1	0	6	!	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	
1	1	1	7	P	q	r	s	t	u	v	w	x	y	z	{		}	~	?	

NOTES: 1 = HIGH LEVEL  
0 = LOW LEVEL

※ D0-6 はデータバス D0-6

<b>Power Electronics Lab.</b> Nagaoka University of Tech.	DATE	NAME	DWG. NO. <b>PK06-4004C</b>	14/	
	DRAWN	1/7/2013			青木
	CHECK				
REV.				Memo:	

4.2 FPGA ピン配置 (2007/09/11 追加 阿部)

表1 FPGAピン配置\_1

ピン番	FPGA機能	信号名	信号方向
1	GND	GND	
2	I/O	A0	I
3	I/O	A1	I
4	I/O	A2	I
5	I/O	A3	I
6	I/O	A4	I
7	I/O	A5	I
8	I/O	A6	I
9	I/O	A7	I
10	I/O	A8	I
11	I/O	A9	I
12	I/O	A10	I
13	I/O	A11	I
14	I/O	A12	I
15	I/O	A13	I
16	VDD	VDD	
17	GND	GND	
18	I/O	A14	I
19	I/O	A15	I
20	I/O	A16	I
21	I/O	A17	I
22	VDDP	VDDP	
23	I/O	TP17	
24	I/O	RST_	I
25	AGND1	AGND1	
26	NPECL	NPECL	
27	AVDD1	AVDD1	
28	PPECL	PPECL	
29	GND	GND	
30	I/O	RWMRST_	O
31	I/O	A18	I
32	I/O	A19	I
33	I/O	D15	I/O
34	I/O	D14	I/O
35	I/O	D13	I/O
36	VDD	VDD	
37	I/O	D12	I/O
38	I/O	D11	I/O
39	I/O	D10	I/O
40	VDDP	VDDP	
41	GND	GND	
42	I/O	D9	I/O
43	I/O	D8	I/O
44	I/O	D7	I/O
45	I/O	D6	I/O
46	I/O	D5	I/O
47	I/O	D4	I/O
48	I/O	D3	I/O
49	I/O	D2	I/O
50	I/O	D1	I/O
51	I/O	D0	I/O
52	GND	GND	

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO.

PK06-4004C

15/

REV.


Memo:

表 2 FPGA ピン配置\_2

ピン番	FPGA機能	信号名	信号方向
53	VDDP	VDDP	
54	I/O	TRIP1_	I
55	I/O	TRIP2_	I
56	I/O	EMG_	O
57	I/O	ADINT	I
58	I/O	INT4B_	I
59	I/O	INT4A_	I
60	I/O	INT1B_	I
61	I/O	INT1A_	I
62	I/O	RD_	I
63	I/O	WR_	I
64	I/O	CS_	I
65	GND	GND	
66	I/O	RDY	I
67	I/O	BBEN_	I
68	I/O	DIR_	I
69	I/O	RXD	I
70	I/O	TXD	I
71	VDD	VDD	
72	VDDP	VDDP	
73	I/O	NC	
74	I/O	NC	
75	I/O	NC	
76	I/O	NC	
77	I/O	NC	
78	I/O	NC	
79	I/O	NC	
80	I/O	NC	
81	GND	GND	
82	I/O	NC	
83	I/O	NC	
84	I/O	NC	
85	I/O	NC	
86	I/O	NC	
87	I/O	NC	
88	VDD	VDD	
89	VDDP	VDDP	
90	I/O	NC	
91	I/O	NC	
92	I/O	NC	
93	I/O	NC	
94	I/O	WR7SEG_	O
95	I/O	CS7SEG_	O
96	I/O	RSTBOARD_	O
97	GND	GND	
98	I/O	ADRS1	O
99	I/O	ADRS0	O
100	I/O	CSDA_	O
101	TCK	TCK	
102	TDI	TDI	
103	TMS	TMS	
104	VDDP	VDDP	

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO.

PK06-4004C

16/

REV.


Memo:

表 3 FPGA ピン配置\_3

ピン番	FPGA機能	信号名	信号方向
105		GND	
106	VPP	VPP	
107	VPN	VPN	
108	TDO	TDO	
109	TRST	TRSTB	
110	RCK	RCK	
111	I/O	NC	
112	I/O	NC	
113	I/O	NC	
114	I/O	NC	
115	I/O	NC	
116	I/O	NC	
117	I/O	NC	
118	I/O	NC	
119	I/O	ADST_	O
120	I/O	ADRD_	O
121	I/O	BUSY	I
122	GND	GND	
123	3.3V	VDDP	
124	I/O	NC	
125	I/O	NC	
126	VDD	VDD	
127	I/O	NC	
128	I/O	CLK10M	I
129	PPECL2/Input	PPECL	
130	GND	GND	
131	AVDD	AVDD2	
132	NPECL2	NPECL2	
133	AGND	AGND	
134		GL	
135	I/O	NC	
136	I/O	DO7_	O
137	I/O	DO6_	O
138	VDDP	VDDP	
139	I/O	DO5_	O
140	I/O	DO4_	O
141	GND	GND	
142	VDD	VDD	
143	I/O	DO3_	O
144	I/O	DO2_	O
145	I/O	DO1_	O
146	I/O	DO0_	O
147	I/O	SW8A_	I
148	I/O	SW7A_	I
149	I/O	SW6A_	I
150	I/O	SW5A_	I
151	I/O	SW4A_	I
152	I/O	SW3A_	I
153	I/O	SW2A_	I
154	I/O	SW1A_	I
155	I/O	SW0A_	I
156	GND	GND	

**Power Electronics Lab.**  
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/7/2013	青木
CHECK		

DWG. NO.

PK06-4004C

17/

REV.


Memo:

表 4 FPGAピン配置\_4

ピン番	FPGA機能	信号名	信号方向
157	VDDP	VDDP	
158	I/O	SW8B_	I
159	I/O	SW3B_	I
160	I/O	SW2B_	I
161	I/O	SW1B_	I
162	GND	GND	
163	I/O	SW0B_	I
164	I/O	JP0	I
165	I/O	TP16	
166	I/O	TP15	
167	I/O	TP14	
168	I/O	TP13	
169	I/O	TP12	
170	VDDP	VDDP	
171	VDD	VDD	
172	I/O	TP11	
173	I/O	TP10	
174	I/O	TP09	
175	I/O	TP08	
176	I/O	TP07	
177	I/O	TP06	
178	GND	GND	
179	I/O	TP05	
180	I/O	TP04	
181	I/O	TP03	
182	I/O	TP02	
183	I/O	TP01	
184	I/O	TP00	
185	I/O	OP19	
186	VDDP	VDDP	
187	VDD	VDD	
188	I/O	OP18	
189	I/O	OP17	
190	I/O	OP16	
191	I/O	OP15	
192	I/O	OP14	
193	I/O	OP13	
194	I/O	OP12	
195	GND	GND	
196	I/O	OP11	
197	I/O	OP10	
198	I/O	OP09	
199	I/O	OP08	
200	I/O	OP07	
201	I/O	OP06	
202	I/O	OP05	
203	I/O	OP04	
204	I/O	OP03	
205	I/O	OP02	
206	I/O	OP01	
207	I/O	OP00	
208	VDDP	VDDP	

<b>Power Electronics Lab.</b> Nagaoka University of Tech.	DATE	NAME	DWG. NO. PK06-4004C 18/	
	DRAWN	1/7/2013		青木
	CHECK			
REV.	Memo:			